

DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

012894031

WPI Acc No: 2000-065866/ 200006

XRAM Acc No: C00-018962

XRPX Acc No: N00-051552

Silicon group thin film containing phosphorus, for photovoltaic cell such as solar battery, sensor and image pick-up element - has specific amount of phosphorus atom and a predetermined plane of the thin film has specific diffraction strength

Patent Assignee: CANON KK (CANO)

Inventor: KONDO T

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11310495	A	19991109	JP 9911753	A	19990120	200006 B
US 6103138	A	20000815	US 99232699	A	19990119	200041

Priority Applications (No Type Date): JP 989417 A 19980121

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 11310495	A	11		C30B-029/06	
US 6103138	A			H02N-006/00	

Abstract (Basic): JP 11310495 A

NOVELTY - A silicon group thin film contains 1 ppm or more of phosphorus atoms. The diffraction strength due to (220) plane (measured by X-ray or electron diffraction) is 30% or more of the total diffraction strength.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following: (i) Manufacture of formation of the silicon group thin film. The silicon group thin film is formed on a substrate by plasma chemical vapor deposition (CVD). (ii) Manufacture of a photovoltaic cell.

USE - For photovoltaic cell (claimed) such as solar battery, sensor, image pick-up element etc. The photovoltaic cell has a conductive substrate on which two or more silicon group semiconductor layers (having different conductivity) are formed (claimed).

ADVANTAGE - The photovoltaic cell has excellent photoelectric conversion efficiency and the grain boundary of the silicon thin film is deactivated by the phosphorus atoms.

Dwg.0/5

Title Terms: SILICON; GROUP; THIN; FILM; CONTAIN; PHOSPHORUS; PHOTOVOLTAIC; CELL; SOLAR; BATTERY; SENSE; IMAGE; PICK; UP; ELEMENT; SPECIFIC; AMOUNT; PHOSPHORUS; ATOM; PREDETERMINED; PLANE; THIN; FILM; SPECIFIC; DIFFRACTED; STRENGTH

Derwent Class: L03; M13; U11

International Patent Class (Main): C30B-029/06; H02N-006/00

International Patent Class (Additional): C23C-016/50; H01L-027/142;

H01L-031/04

File Segment: CPI; EPI

Manual Codes (CPI/A-N): L03-E05B; L04-C01B; L04-E05D; M13-E02

Manual Codes (EPI/S-X): U11-A01D

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-310495

(43) 公開日 平成11年(1999)11月9日

(51) Int.Cl. ⁶	識別記号	F I	
C 3 0 B 29/06		C 3 0 B 29/06	A
	5 0 4		5 0 4 A
C 2 3 C 16/50		C 2 3 C 16/50	B
H 0 1 L 31/04		H 0 1 L 31/04	B

審査請求 未請求 請求項の数31 O L (全 11 頁)

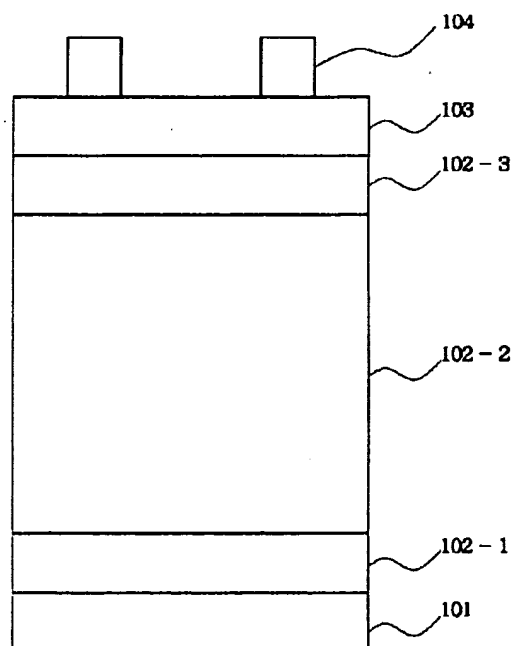
(21) 出願番号	特願平11-11753	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成11年(1999)1月20日	(72) 発明者	近藤 隆治 東京都大田区下丸子3丁目30番2号キヤノ ン株式会社内
(31) 優先権主張番号	特願平10-9417	(74) 代理人	弁理士 丸島 領一
(32) 優先日	平10(1998)1月21日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 シリコン系薄膜、光起電力素子、シリコン系薄膜の形成方法及び光起電力素子の製造方法

(57) 【要約】

【課題】 高い成膜速度で製造でき、光電変換特性の優れたシリコン系薄膜及び光起電力素子を提供する。

【解決手段】 1ppm以上のリン原子を含有し、エックス線又は電子線回折による(220)の回折強度の割合が全回折強度の30%以上であることを特徴とするシリコン系薄膜、該シリコン系薄膜を有する光起電力素子、該シリコン系薄膜の形成方法及び該光起電力素子の製造方法。



【特許請求の範囲】

【請求項1】 1 ppm以上のリン原子を含有し、エックス線又は電子線回折による(220)の回折強度の割合が全回折強度の30%以上であることを特徴とするシリコン系薄膜。

【請求項2】 100 ppm以下のリン原子を含有することを特徴とする請求項1記載のシリコン系薄膜。

【請求項3】 実質的にi型の半導体であることを特徴とする請求項1記載のシリコン系薄膜。

【請求項4】 前記シリコン系薄膜中に含まれるリン原子の濃度が不均一であることを特徴とする請求項1記載のシリコン系薄膜。

【請求項5】 周波数10 MHz以上10 GHz以下の高周波を用いたプラズマCVD法で形成されたものであることを特徴とする請求項1記載のシリコン系薄膜。

【請求項6】 周波数30 MHz以上500 MHz以下の高周波を用いたプラズマCVD法で形成されたものであることを特徴とする請求項5記載のシリコン系薄膜。

【請求項7】 GeもしくはCを含有することを特徴とする請求項1記載のシリコン系薄膜。

【請求項8】 基板上に、互いに異なる導電型を有するシリコン系半導体層を複数少なくとも有する光起電力素子において、前記シリコン系半導体層の少なくとも一つが、1 ppm以上のリン原子を含有し、エックス線又は電子線回折による(220)の回折強度の割合が全回折強度の30%以上であるシリコン系薄膜を有することを特徴とする光起電力素子。

【請求項9】 前記シリコン系薄膜が100 ppm以下のリン原子を含有することを特徴とする請求項8記載の光起電力素子。

【請求項10】 前記シリコン系薄膜が実質的にi型の半導体であることを特徴とする請求項8記載の光起電力素子。

【請求項11】 少なくとも一つのpin接合を有し、該pin接合のi型半導体層が前記シリコン系薄膜を有することを特徴とする請求項8記載の光起電力素子。

【請求項12】 前記シリコン系薄膜中に含まれるリン原子の濃度が前記基板側で高いことを特徴とする請求項8記載の光起電力素子。

【請求項13】 前記基板が導電性基板であることを特徴とする請求項8記載の光起電力素子。

【請求項14】 前記シリコン系薄膜が周波数10 MHz以上10 GHz以下の高周波を用いたプラズマCVD法で形成されたものであることを特徴とする請求項8記載の光起電力素子。

【請求項15】 前記シリコン系薄膜が周波数30 MHz以上500 MHz以下の高周波を用いたプラズマCVD法で形成されたものであることを特徴とする請求項14記載の光起電力素子。

【請求項16】 前記シリコン系薄膜がGeもしくはC

を含有することを特徴とする請求項8記載の光起電力素子。

【請求項17】 少なくとも二つのpin接合を有し、該pin接合のうち基板にもっとも近い側のpin接合のi型半導体層が前記シリコン系薄膜を有することを特徴とする請求項8記載の光起電力素子。

【請求項18】 プラズマCVD法を用いて基板上にシリコン系薄膜を形成する方法において、形成されるシリコン系薄膜が1 ppm以上のリン原子を含有し、エックス線又は電子線回折による(220)の回折強度の割合が全回折強度の30%以上となるように制御することを特徴とするシリコン系薄膜の形成方法。

【請求項19】 形成されるシリコン系薄膜が100 ppm以下のリン原子を含有するように制御することを特徴とする請求項18記載のシリコン系薄膜の形成方法。

【請求項20】 形成されるシリコン系薄膜がi型半導体となるように制御することを特徴とする請求項18記載のシリコン系薄膜の形成方法。

【請求項21】 形成されるシリコン系薄膜中に含まれるリン原子の濃度が前記基板側で高くなるように制御することを特徴とする請求項18記載のシリコン系薄膜の形成方法。

【請求項22】 周波数10 MHz以上10 GHz以下の高周波を用いることを特徴とする請求項18記載のシリコン系薄膜の形成方法。

【請求項23】 周波数30 MHz以上500 MHz以下の高周波を用いることを特徴とする請求項22記載のシリコン系薄膜の形成方法。

【請求項24】 前記高周波を電極を用いて印加し、該電極と前記基板との間の距離を3 cm以上とすることを特徴とする請求項22記載のシリコン系薄膜の形成方法。

【請求項25】 プラズマCVD法を用いて基板上に互いに異なる導電型を有するシリコン系半導体層を複数形成する工程を少なくとも有する光起電力素子の製造方法において、前記シリコン系半導体層の少なくとも一つが、1 ppm以上のリン原子を含有し、エックス線又は電子線回折による(220)の回折強度の割合が全回折強度の30%以上であるシリコン系薄膜を有するように制御することを特徴とする光起電力素子の製造方法。

【請求項26】 前記シリコン系薄膜が100 ppm以下のリン原子を含有するように制御することを特徴とする請求項25記載の光起電力素子の製造方法。

【請求項27】 前記シリコン系薄膜がi型半導体となるように制御することを特徴とする請求項25又は26に記載の光起電力素子の製造方法。

【請求項28】 前記シリコン系薄膜中に含まれるリン原子の濃度が前記基板側で高くなるように制御することを特徴とする請求項25記載の光起電力素子の製造方法。

【請求項29】 前記シリコン系薄膜を周波数10MHz以上10GHz以下の高周波を用いて形成することを特徴とする請求項25記載の光起電力素子の製造方法。

【請求項30】 前記シリコン系薄膜を周波数30MHz以上500MHz以下の高周波を用いて形成することを特徴とする請求項29記載の光起電力素子の製造方法。

【請求項31】 前記高周波を電極を用いて印加し、該電極と前記基板との間の距離を3cm以上とすることを特徴とする請求項29記載の光起電力素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン系薄膜及びそれを含む光起電力素子、シリコン系薄膜の形成方法及び光起電力素子の製造方法に関する。本発明の光起電力素子は、例えば太陽電池、センサー、撮像素子等に適用される。

【0002】

【従来の技術】結晶性を示すシリコン系薄膜の形成方法としては、従来からキャスト法などの液相から成長させる方法が行われてきたが、高温処理が必要であり、高生産性・低コスト化に向けての課題があった。

【0003】これらの問題点を解決する手段として、太陽電池に関する例として、“ON THE WAY TOWARDS HIGH EFFICIENCY THIN FILM SILICON SOLAR CELLS BY THE “MICROMORPH” CONCEPT”, J.Meier et. al., Mat. Res. Soc. Symp. Proc. Vol. 420, p3, 1996には、高周波(110MHz)によるグロー放電を用いた低温形成法によって220℃の温度の基板上に微結晶のp-i-n構造の太陽電池を形成し7.7%の光電変換効率を得たという報告がなされている。さらに同文献には、非晶質シリコンと微結晶シリコンの積層型の太陽電池で13.1%を得たという報告がなされている。

【0004】

【発明が解決しようとする課題】ところが、前述のようにすでに開示されたグロー放電による微結晶シリコン膜は優れた光電変換特性を有するものであるが、必要としている膜厚を得ようとするには成膜速度が不十分なため、成膜時間については産業的に実用レベルにはないという問題点があった。

【0005】また、一般的に結晶性を示すシリコン系薄膜を用いた光起電力素子では、結晶粒界におけるシリコンのダングリングボンド、結晶粒界近傍に生じるひずみ、結晶自体の不完全性などの影響によってキャリアの走行性が妨げられ、該光起電力素子の光電変換特性が良好であるとはいえなくなってしまうことが知られている。

【0006】上記の影響を軽減するための対策として、結晶化度を向上させることが考えられるが、そのためには、成膜速度を低下させたり、電子線照射、レーザー照

射、ランプなどによる基板の加熱処理を行ったり、シリコン系薄膜の形成と酸素雰囲気でのアニールを繰り返しながら膜形成を行うなどの工夫を要していた。これらの処理は、成膜時間を長くしコストを高める要因となっていた。

【0007】そこで、本発明は上記した課題を解決し、産業的に実用レベルにある成膜速度で製造でき、光電変換特性の優れたシリコン系薄膜及び光起電力素子を提供することを目的としている。

【0008】

【課題を解決するための手段】本発明は、1ppm以上のリン原子を含有し、エックス線又は電子線回折による(220)の回折強度の割合が全回折強度の30%以上であることを特徴とするシリコン系薄膜を提供する。

【0009】また、本発明は、基板上に、互いに異なる導電性を有するシリコン系半導体層を複数少なくとも有する光起電力素子において、前記シリコン系半導体層の少なくとも一つが、1ppm以上のリン原子を含有し、エックス線又は電子線回折による(220)の回折強度の割合が全回折強度の30%以上であるシリコン系薄膜を有することを特徴とする光起電力素子を提供する。

【0010】さらに、本発明は、プラズマCVD法を用いて基板上にシリコン系薄膜を形成する方法において、形成されるシリコン系薄膜が1ppm以上のリン原子を含有し、エックス線又は電子線回折による(220)の回折強度の割合が全回折強度の30%以上となるように制御することを特徴とするシリコン系薄膜の形成方法を提供する。

【0011】加えて、本発明は、プラズマCVD法を用いて基板上に互いに異なる導電性を有するシリコン系半導体層を複数形成する工程を少なくとも有する光起電力素子の製造方法において、前記シリコン系半導体層の少なくとも一つが、1ppm以上のリン原子を含有し、エックス線又は電子線回折による(220)の回折強度の割合が全回折強度の30%以上であるシリコン系薄膜を有するように制御することを特徴とする光起電力素子の製造方法を提供する。

【0012】前記シリコン系薄膜中のリン原子の濃度は100ppm以下であることが好ましい。また、該シリコン系薄膜は実質的にi型の半導体であることが好ましい。さらに、該シリコン系薄膜中のリン原子の濃度は不均一とすることが好ましく、基板側で高濃度とすることが好ましい。該シリコン系薄膜は周波数10MHz以上10GHz以下、より好ましくは周波数30MHz以上500MHz以下の高周波を用いたプラズマCVD法で形成することが好ましい。該シリコン系薄膜はGeもしくはCを含有してもよい。該高周波は電極を用いて印加し、該電極と前記基板との間の距離を3cm以上とすることが好ましい。

【0013】前記光起電力素子は、少なくとも一つのp

i n接合を有し、該p i n接合のi型半導体層が前記シリコン系薄膜を有することが好ましい。また、該光起電力素子は、少なくとも二つのp i n接合を有し、該p i n接合のうち基板にもっとも近い側のp i n接合のi型半導体層が前記シリコン系薄膜を有することが好ましい。

【0014】

【発明の実施の形態】前述した課題を解決するために鋭意研究を重ねた結果、本発明者は上記した1ppm以上のリン原子を含有し、エックス線回折パターン又は電子線パターンによる(220)の回折強度の割合が、全回折強度に対して30%以上であるように形成された構成のシリコン系薄膜は、膜中の結晶粒界の不活性化が促進されており、高い成膜速度で形成可能であるにも関わらず良好な結晶性及び光電変換特性を示すことを見出した。

【0015】上記の構成にすることにより、以下の作用がある。

【0016】結晶性を示すシリコンは一般にダイヤモンド構造を持ち、シリコン原子は4配位位置を占めているが、結晶性のシリコン系薄膜、特に微結晶シリコン系薄膜中の結晶粒界においては、構造の歪みや、転位の集中などによって、4配位とは別の配位数からなる不規則粒界が生じる部分があるものと考えられる。ここに極微量のリン原子を導入すると、添加されたリン原子は前記の不規則粒界に入って粒界を不活性化し、キャリア走行性すなわち $\mu\tau$ 積を改善させる作用をもつのではないかと考えられる。この効果によって、キャリア走行性を悪化させることなくシリコン薄膜を高速成膜により形成することが可能になる。

【0017】上述のシリコン系薄膜に含有されるリン原子の濃度は100ppm以下であることが好ましい。リン原子の濃度が100ppmを超えるとシリコン系薄膜の膜質が悪化し、キャリア移動度が低下するおそれがある。特に該シリコン系薄膜を用いた光起電力素子においては、上記濃度が100ppmを超えると光電変換効率が低下してしまうおそれがある。

【0018】また、(220)面が基板に平行に配向した結晶性シリコン系薄膜は、基板面に対して垂直方向に六角形状のチャンネル構造を持つため、基板面に垂直な方向のキャリア走行性に優れていると考えられる。なお、ASTMカードから明らかなように、無配向の結晶性シリコンでは、低角側から11反射分の回折強度の総和に対する(220)面の回折強度の割合は約23%である。即ち、(220)面の回折強度の割合が23%を上回る結晶性シリコン系薄膜は、(220)面方向に配向性を有することになる。特に(220)面の回折強度の割合が30%以上の構造においては、キャリア走行性の向上という効果がより促進されるようになると考えられる。また(220)面に配向性を有することで、構造の歪みや転位の集中が抑制され、結晶性の良好な薄膜の

形成が可能になると考えられる。

【0019】さらに、本発明の光起電力素子は、導電性基板上に、異なる導電型を示す複数のシリコン系半導体層を順次積層し、前記複数のシリコン系半導体層のうちの少なくとも一つのシリコン系半導体層が前記シリコン系薄膜を含むことを特徴としている。特に、n型シリコン系半導体層、i型シリコン系半導体層、p型シリコン系半導体層を順次積層した光起電力素子において、光吸収層として機能する前記i型シリコン系半導体層が前記シリコン系薄膜を含むことで、優れた特性の光起電力素子を形成することが可能になる。前記i型シリコン系半導体層は、前記シリコン系薄膜のみからなるものであってもよいし、前記シリコン系薄膜とアモルファスシリコン薄膜などの別の形態のi型半導体膜とを積層したものであってもよい。また、n型シリコン系半導体層、i型シリコン系半導体層、p型シリコン系半導体層を2組以上順次積層した光起電力素子においても同様である。また、前記シリコン系薄膜は、光劣化現象を起こさないもしくは光劣化が極めて小さいという特長を有するため、主たる光吸収層を前記シリコン系薄膜とすることで、光劣化現象のないもしくは光劣化が極めて小さい光起電力素子の形成が可能になる。

【0020】また、本発明のシリコン系薄膜及び光起電力素子中の半導体層は、周波数が10MHz~10GHzの高周波を用いたCVD法で形成することが好ましい。CVD法は、液相から作成する方法と比べて低温でのシリコン系薄膜の形成が可能であり、低コストで前記シリコン系薄膜及び光起電力素子の形成が可能となる。

【0021】また、本発明の光起電力素子は、前記シリコン系薄膜中に含まれるリン原子の濃度が、前記導電性基板側に向かって増大していることが好ましい。前記シリコン系薄膜は形成初期、すなわち前記導電性基板側の領域では、結晶粒径が相対的に小さいため、前記不規則粒界の密度も高いと考えられる。そのため前記導電性基板側の領域に、より多くのリン原子を導入することが効果的であると考えられる。

【0022】次に本発明の光起電力素子の構成要素について説明する。

【0023】図1は本発明の光起電力素子の一例を示す模式的な断面図である。図中、101は導電性基板、102は半導体層、103は透明電極、104は集電電極である。また、101-1は基体、101-2は金属層、101-3は透明導電層であり、これらは導電性基板101の構成部材である。

【0024】(基体)基体101-1としては、金属、樹脂、ガラス、セラミックス、半導体バルク等からなる板状部材やシート状部材が好適に用いられる。その表面には微細な凸凹を有していてもよい。透明基体を用いて基体側から光が入射する構成としてもよい。また、基体を長尺の形状とすることによってロール・ツー・ロール法

を用いた連続成膜を行なうことができる。特にステンレス、ポリイミド等の可撓性を有する材料は基体101-1の材料として好適である。

【0025】(金属層)金属層101-2は電極としての役割と、基体にまで到達した光を反射して半導体層で再利用させる反射層としての役割と、を有する。その材料としてはAl、Cu、Ag、Au、Cu₂S等好適に用いることができる。その形成方法としては、蒸着、スパッタ、電析、印刷等の方法が好適である。

【0026】金属層101-2はその表面に凸凹を有することが好ましい。それにより反射光の半導体層102内での光路長を伸ばし、短絡電流を増大させることができる。基体101-1が導電性を有する場合には金属層は形成しなくてもよい。

【0027】(透明導電層)透明導電層101-3は、入射光及び反射光の乱反射を増大し、半導体層102内での光路長を伸ばす役割を有する。また、金属層101-2の元素が半導体層102へ拡散あるいはマイグレーションを起こし光起電力素子がシャントすることを防止する役割を有する。さらに、適度な抵抗をもつことにより、半導体層のピンホール等の欠陥によるショートを防止する役割を有する。透明導電層101-3の導電率は 10^{-8} (1/Ωcm)以上 10^{-1} (1/Ωcm)以下であることが望ましい。さらに、透明導電層101-3は金属層101-2と同様にその表面に凸凹を有していることが望ましい。透明導電層101-3は、ZnO、ITO等の導電性酸化物からなることが好ましく、蒸着、スパッタ、CVD、電析等の方法を用いて形成することが好ましい。これらの導電性酸化物に導電率を変化させるための物質を添加してもよい。

【0028】(導電性基板)以上の方法により、基体101-1上に必要に応じて、金属層101-2、透明導電層101-3を積層して導電性基板101を形成する。また、素子の集積化を容易にするために、導電性基板101に中間層として絶縁層を設けてもよい。

【0029】(半導体層)本発明のシリコン系薄膜及び半導体層102の主たる材料としては、アモルファス相あるいは結晶相、さらにはこれらの混相系のSiが用いられる。Siに代えて、SiとC又はGeとの合金を用いても構わない。半導体層102には、水素及び/又はハロゲン原子が含有される。その好ましい含有量は0.1〜40原子%である。半導体層102はさらに、酸素、窒素などを含有してもよい。半導体層をp型半導体層とするにはIII族元素、n型半導体層とするにはV族元素を含有させる。スタックセル(pin接合を複数有する光起電力素子)の場合、光入射側に近いpin接合のi型半導体層はバンドギャップが広く、遠いpin接合になるに随いバンドギャップが狭くなるのが好ましい。また、i型層内部ではその膜厚方向の中心よりもp型層寄りにバンドギャップの極小値があるのが好まし

い。光入射側のドーパ層(p型層もしくはn型層)は光吸収の少ない結晶性の半導体か、又はバンドギャップの広い半導体が適している。

【0030】(半導体層の形成方法)上述の半導体層102及び本発明のシリコン系薄膜を形成するには、高周波プラズマCVD法が適している。以下、高周波プラズマCVD法によって半導体層102を形成する手順の好適な例を示す。

(1) 減圧状態にできる堆積室(真空チャンバー)内を所定の堆積圧力に減圧する。

(2) 堆積室内に原料ガス、希釈ガス等の材料ガスを導入し、堆積室内を真空ポンプによって排気しつつ、堆積室内の圧力が所定の堆積圧力となるように設定する。

(3) 基板の温度がヒーターによって所定の温度になるように設定する。

(4) 高周波電源によって発振された高周波を前記堆積室内に導入する。前記堆積室内への導入方法は、高周波を導波管によって導き、アルミナセラミックスなどの誘電体窓を介して堆積室内に導入したり、高周波を同軸ケーブルによって導き、金属電極を介して堆積室内に導入したりする方法がある。

(5) 堆積室内にプラズマを生起させて原料ガスを分解し、堆積室内に配置された導電性基板上101に堆積膜を形成する。この手順を必要に応じて複数回繰り返して半導体層102を形成する。

【0031】半導体層102の形成条件としては、堆積室内での基板温度は100〜450℃、堆積圧力は0.5mTorr〜10Torr、高周波パワーは0.001〜1W/cm²が好適な条件としてあげられる。

【0032】上述の半導体層102及び本発明のシリコン系薄膜形成に適した原料ガスとしてはSiH₄、Si₂H₆、SiF₄等のシリコン原子を含有するガス化しうる化合物が挙げられる。合金系にする場合にはさらに、GeH₄やCH₄などのようにGeやC等を含有するガス化しうる化合物を原料ガスに添加することが好ましい。原料ガスは希釈ガスで希釈して堆積室内に導入することが好ましい。希釈ガスとしては、H₂やHeなどがあげられる。さらに窒素、酸素等を含有したガス化しうる化合物を原料ガス乃至希釈ガスとして添加してもよい。半導体層をp型層とするためのドーパントガスとしてはB₂H₆、BF₃等が用いられる。また、半導体層をn型層とするためのドーパントガスとしては、PH₃、PF₃等が用いられる。本発明のシリコン系薄膜にリン原子を導入するためのガスとしては、PH₃、PF₃等が好適に用いられる。

【0033】結晶相の薄膜や、SiC等の光吸収の少ないバンドギャップの広い層を堆積する場合には、原料ガスに対する希釈ガスの割合を増やし比較的高いパワーの高周波を導入するのが好ましい。

【0034】(透明電極)透明電極103は電極の役割

を有するが、その膜厚を適宜に設定することにより反射防止膜の役割をかねることができる。

【0035】透明電極103の材料としては、ITO、ZnO、 In_2O_3 等を好適に用いることができる。その形成方法としては、蒸着、CVD、スプレー、スピノン、浸漬などの方法が好適である。これらの材料に導電率を変化させる物質を添加してもよい。

【0036】(集電電極)集電電極104は集電効率を向上するために透明電極103上に設けられる。その形成方法としては、マスクを用いてスパッタによって電極パターンの金属を形成する方法や、導電性ペーストあるいは半田ペーストを印刷する方法、金属線を導電性ペーストで固着する方法などが好適である。

【0037】なお、必要に応じて光起電力素子の両面に保護層を形成することがある。同時に光起電力素子の裏面(光入射側と反対側)などに銅板等の補教材を設けてもよい。

【0038】

【実施例】以下の実施例では、光起電力素子として太陽電池を例に挙げて本発明を具体的に示すが、これらの実施例は本発明の内容を何ら限定するものではない。

【0039】〔実施例1〕図2に示した堆積膜形成装置201を用い、以下の手順で図3に示したpin型光起電力素子を形成した。

【0040】図2は、本発明のシリコン系薄膜及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図である。図2に示す堆積膜形成装置201は、基板送り出し容器202、半導体形成用真空容器211~218、基板巻き取り容器203が、ガスゲート221~229を介して結合することによって構成されている。この堆積膜形成装置201には、各容器及び各ガスゲートを貫いて帯状の導電性基板204がセットされる。帯状の導電性基板204は、基板送り出し容器202に設置されたボビンから巻き出され、基板巻き取り容器203で別のボビンに巻き取られる。半導体形成用真空容器211~218は、それぞれ放電室を有しており、該放電室内の放電電極241~248に高周波電源251~258から高周波電力を印加することによってグロー放電を生起させ、それによって原料ガスを分解し導電性基板204上に半導体層を堆積させる。また、各半導体形成用真空容器211~218には、原料ガスや希釈ガスを導入するためのガス導入管231~238が接続されている。

【0041】図2に示した堆積膜形成装置201は、半導体形成用真空容器を8個具備しているが、以下の実施例においては、すべての半導体形成用真空容器でグロー放電を生起させる必要はなく、製造する光起電力素子の層構成にあわせて各容器でのグロー放電の有無を選択することができる。また、各半導体形成用真空容器には、各放電室内での導電性基板204と放電空間との接触面

積を調整するための、不図示の成膜領域調整板が設けられており、これを調整することによって各容器で形成される半導体層の膜厚を調整することができるようになっている。

【0042】図3は、本発明のシリコン系薄膜を有する光起電力素子の一例を示す模式的な断面図である。図中、図1と同様の部材には同じ符号を付して説明を省略する。

【0043】この光起電力素子の半導体層は、アモルファスn型半導体層102-1と微結晶i型半導体層102-2と微結晶p型半導体層102-3とからなっている。即ち、この光起電力素子はいわゆるpin型シングルセル光起電力素子である。そして、微結晶i型半導体層102-2として、本発明のシリコン系薄膜が用いられている。

【0044】以下、図2及び図3を用いて本実施例の光起電力素子の製造方法を説明する。

【0045】まず、ステンレス(SUS430BA)からなる帯状の基板(幅40cm、長さ200m、厚さ0.125mm)を十分に脱脂、洗浄し、不図示の連続スパッタリング装置に装着し、A1ターゲットを用いて、厚さ100nmのA1薄膜をスパッタ蒸着させた。さらにZnOターゲットを用いて、厚さ1.2μmのZnO薄膜をA1薄膜の上にスパッタ蒸着し、帯状の導電性基板101(204)を形成した。

【0046】次に、基板送り出し容器202に導電性基板204を巻いたボビンを装着し、導電性基板204を搬入側のガスゲート221、半導体形成用真空容器211、212、213、214、215、216、217、218、搬出側のガスゲート229を介し、基板巻き取り容器203まで通し、帯状の導電性基板204がたるまないように張力調整を行った。そして、基板送り出し容器202、半導体形成用真空容器211、212、213、214、215、216、217、218、基板巻き取り容器203を不図示の真空ポンプからなる真空排気系により、 5×10^{-6} Torr以下まで十分に真空排気した。

【0047】次に、真空排気系を動作させつつ、半導体形成用真空容器211にガス導入管231からアモルファスn型半導体層形成用の原料ガス及び希釈ガスを供給し、半導体形成用真空容器212、213、214にガス導入管232、233、234から微結晶i型半導体層形成用の原料ガス及び希釈ガスを導入し、半導体形成用真空容器215にガス導入管235から微結晶p型半導体層形成用の原料ガス及び希釈ガスを供給した。各層の形成条件は表1に示すとおりである。また、半導体形成用真空容器216、217、218にガス導入管236、237、238から200sccmの H_2 ガスを供給し、同時に不図示の各ゲートガス供給管から、各ガスゲート221、222、223、224、225、22

6、227、228、229にゲートガスとして500 sccmの H_2 ガスを供給した。この状態で真空排気系の排気能力を調整し、各半導体形成用真空容器内の圧力を所望の圧力に調整した。

【0048】各半導体形成用真空容器内の圧力が安定したところで、基板送り出し容器202から基板巻き取り容器203の方向に向けて、帯状の導電性基板204の移動を開始した。帯状の導電性基板204を移動させながら、不図示の赤外線ランプヒーターを点灯し、導電性基板204を300℃に加熱した。

【0049】次に半導体形成用真空容器211、212、213、214、215内の放電電極241、242、243、244、245に、高周波電源251、252、253、254、255より高周波電力を導入し、半導体形成用真空容器211、212、213、214、215内の放電室内にグロー放電を生じし、帯状の導電性基板204上に、半導体形成用真空容器211でアモルファス n 型半導体層102-1(膜厚20nm)を、半導体形成用真空容器212、213、214で微結晶 i 型半導体層102-2(膜厚1.5nm)を、半導体形成用真空容器215で微結晶 p 型半導体層102-3(膜厚10nm)を順次形成するようにし、図3に示す pin 型光起電力素子を形成した(実施例1-1)。ここで、半導体形成用真空容器211には周波数13.56MHz、パワー5mW/cm³の高周波電力を、半導体形成用真空容器212、213、214には周波数100MHzのパワー20nW/cm³の高周波電力を、半導体形成用真空容器215には周波数13.56MHz、パワー30mW/cm³の高周波電力を導入した。なお、このとき放電電極と導電性基板204の間隔は5cmに固定した。

【0050】次に、放電の途中で各半導体形成用真空容器内の成膜領域調整板及び基板の搬送速度を調整しながら、半導体形成用真空容器212、213、214に導入する高周波パワーを変化させて、膜厚は同一にそろえながら、微結晶 i 型半導体層102-2の成膜速度のみ異なり他の条件は上記実施例1-1と同一である光起電力素子を作製した(実施例1-1~1-5)。それぞれの例で高周波パワーは、50mW/cm³(実施例1-2)、100mW/cm³(実施例1-3)、150mW/cm³(実施例1-4)、200mW/cm³(実施例1-5)とした。

【0051】次に不図示の連続モジュール化装置を用いて、形成した帯状の光起電力素子を、微結晶 i 型半導体層の成膜速度ごとに切り分け、それぞれを大きさが36cm×22cmの太陽電池モジュールに加工した(実施例1-1~1-5)。

【0052】また、半導体形成用真空容器211、215内の成膜領域調整板を完全に閉じ、基板204上に実施例1-1~1-5に対応した i 型半導体層部分のみ形

成したサンプルも作製した(実施例1-6~1-10)。

【0053】〔比較例1〕半導体形成用真空容器212、213、214に表1の原料ガスから PH_3 (H_2 で5ppmに希釈)を除いた以外は、実施例1と同様の方法で、太陽電池モジュール(比較例1-1~1-5)及びサンプル(比較例1-6~1-10)を作成した。

【0054】次に、実施例1及び比較例1で作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター(AM1.5、100mW/cm²)を用いて測定した。また、エックス線回折装置を用いて、作成したサンプルの回折強度の測定を行い、SIMSで、作成したサンプルの Si 原子に対するリン原子の濃度を定量分析した。

【0055】実施例1及び比較例1の、 i 型半導体層の成膜速度、 i 型半導体層中の Si 原子に対するリン原子の濃度、 i 型半導体層のエックス線回折ピークにおける全回折強度に対する(220)の回折強度の割合、太陽電池モジュールの光電変換効率を表2に示す。

【0056】表2に示されるように、リン原子を1ppm以上含有した微結晶 i 型半導体層を含む実施例1-1~1-5の太陽電池モジュールは、リン原子を1ppm未満しか含有しない微結晶 i 型半導体層を含む比較例1-1~1-5の太陽電池モジュールと比較して、成膜速度を高めても、光電変換効率の低下がほとんどない。以上のことより本発明のシリコン系薄膜及び光起電力素子は高速成膜を用いて製造しても光電変換効率がほとんど低下しないという優れた特徴を持つことがわかる。

【0057】〔実施例2〕実施例1-4の条件で、半導体形成用真空容器212、213、214内の放電電極242、243、244と導電性基板204の間隔を3~10cmに変化させながら図3に示す構成の光起電力素子を作成し、実施例1と同様に太陽電池モジュール(実施例2-1~2-3)を作成した。さらに i 型半導体層部分のみ形成したサンプル(実施例2-4~2-6)を作成した。

【0058】〔比較例2〕実施例2と同様の条件で、半導体真空装置212、213、214内の放電電極242、243、244と導電性基板204の間隔を2cmにして図3に示す構成の光起電力素子を作成し、実施例2と同様に太陽電池モジュール(比較例2-1)を作成した。さらに i 型半導体層部分のみ形成したサンプル(比較例2-2)を作成した。

【0059】次に実施例2及び比較例2で作成した太陽電池モジュール及びサンプルについて実施例1、比較例1同様の測定を行なった。結果を表3に示す。

【0060】表3に示されるように、エックス線回折ピークにおける全回折強度に対する(220)の回折強度の割合が30%以上である実施例2-1~2-3の太陽電池モジュールは、該割合が30%未満である比較例2

-1の太陽電池モジュールと比較して、光電変換効率が優れている。また、該割合を30%以上とするために、放電電極と導電性基板の間隔を3cm以上にすることが好適であることがわかる。以上より本発明のシリコン系薄膜及び光起電力素子は、光電変換効率が優れているという優れた特徴を持つことがわかる。

【0061】〔実施例3〕図2に示した堆積膜形成装置201を用い、図4の構成のpin/pin型のタンデム型光起電力素子を形成した。

【0062】図4は、本発明のシリコン系薄膜を有する光起電力素子の一例を示す模式的な断面図である。図中、図1、図3と同様の部材には同じ符号を付して説明を省略する。

【0063】この光起電力素子は、図3に示すpin接合の上にさらにアモルファスn型半導体層102-4、アモルファスi型半導体層102-5、微結晶p型半導体層102-6からなるpin接合を積層して半導体層を形成している。

【0064】このタンデム型の光起電力素子のボトムセル（基板側のpin構成）は、実施例1-4の条件で作成し、トップセル（光入射側のpin接合）は、半導体形成用真空容器216でアモルファスn型半導体層102-4を、半導体形成用真空容器217でアモルファスi型半導体層102-5を、半導体形成用真空容器218で微結晶p型半導体層102-6を作成し、i型半導体層がアモルファス層からなるpin接合とした。

【0065】トップセルのうち、アモルファスn型半導体層102-4、微結晶p型半導体層102-6の形成条件は、それぞれ表1に示すn型半導体層の形成条件、p型半導体層の形成条件と同様とした。また、アモルファスi型半導体層102-5の形成条件は、原料ガスを SiH_4 :50sccm、 H_2 :500sccm、基板温度を220℃、圧力を1.2Torrとした。

【0066】以下、実施例1と同様に太陽電池モジュール（実施例3）を作成した。

【0067】〔比較例3〕実施例3と同様に、図5に示す構成のpin/pin型のタンデム型の光起電力素子を形成した。図5に示すタンデム型の光起電力素子は、

ボトムセルのi型半導体層をアモルファスi型半導体層102-7としている点以外は図4に示す光起電力素子同様である。本比較例では、該層102-7の作成以外は、実施例3と同じ条件で作成した。そして、実施例3と同様に太陽電池モジュール（比較例3-1）を作成した。i型半導体層102-7の作成条件はアモルファスi型半導体層102-5と同様とした。またボトムセルのi型半導体層102-7部分のみ形成したサンプル（比較例3-2）を作成した。

【0068】エックス線回折装置を用いて作成したサンプル（比較例3-2）の回折強度の測定を行ったが、回折ピークは認められなかった。

【0069】次に作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、100mW/cm²）を用いて測定した。続いて、該太陽電池モジュールを50℃に保持した状態で、AM1.5、100mW/cm²の擬似太陽光を500時間照射して、光照射時間による太陽電池モジュールの光電変換効率の光劣化率を調べた。その結果を表4に示す。

【0070】表4に示すように、本発明のシリコン薄膜を含む実施例3の太陽電池モジュールは、比較例3-1の太陽電池モジュールと比較して光劣化率が大幅に改善されている。以上のことより、本発明の光起電力素子は光劣化率が小さいという優れた特徴を持つことがわかる。

【0071】〔実施例4〕半導体形成用真空容器212に供給する PH_3 （ H_2 で5ppmに希釈）の量を実施例1-4の2倍にした以外は、実施例1-4と同じ条件で、太陽電池モジュール（実施例4）を作成した。

【0072】作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、100mW/cm²）を用いて測定した。実施例4の太陽電池モジュールは実施例1-4の太陽電池モジュールに比べて1.1倍の光電変換効率を示し、導電性基板側で、リン原子の濃度を増大させることで、本発明の効果はさらに大きくなった。

【0073】

【表1】

表 1

n 型 半 導 体 層	原料ガス	SiH ₄ : 20sccm H ₂ : 100sccm PH ₃ (H ₂ で2%に希釈) : 30sccm
	基板温度	300℃
	圧 力	1.0Torr
i 型 半 導 体 層	原料ガス	SiH ₄ : 30sccm H ₂ : 1.0slm PH ₃ (H ₂ で5ppmに希釈) : 2.0sccm
	基板温度	300℃
	圧 力	300mTorr
p 型 半 導 体 層	原料ガス	SiH ₄ : 10sccm H ₂ : 800sccm BH ₃ (H ₂ で2%に希釈) : 100sccm
	基板温度	200℃
	圧 力	1.2Torr

【0074】

【表2】

表 2

	成膜速度 (nm/s)	リン原子濃度 (ppm)	(220) の割合 (%)	光電変換効率 *
実施例1-1、1-6	0.01	3ppm	60	1
実施例1-2、1-7	0.1	3ppm	60	0.98
実施例1-3、1-8	0.5	3ppm	58	0.98
実施例1-4、1-9	1.0	3ppm	55	0.97
実施例1-5、1-10	2.0	3ppm	55	0.95
比較例1-1、1-6	0.01	< 1ppm	60	1
比較例1-2、1-7	0.1	< 1ppm	60	0.95
比較例1-3、1-8	0.5	< 1ppm	55	0.87
比較例1-4、1-9	1.0	< 1ppm	50	0.82
比較例1-5、1-10	2.0	< 1ppm	50	0.70

*光電変換効率は、それぞれの実施例は実施例1-1を1に規格化した値であり、それぞれの比較例は比較例1-1の値を1に規格化した値である。

【0075】

【表3】

表 3

	基板-電極距離 (cm)	(220) の割合 (%)	リン原子濃度 (ppm)	光電変換効率 *
実施例2-1、2-4	3	45	3	1
実施例2-2、2-5	5	55	3	1.02
実施例2-3、2-6	10	55	3	1.01
比較例2-1、2-2	2	25	3	0.85

*光電変換効率は、実施例2-1の値を1に規格化した値である。

【0076】

【表4】

表 4

	擬似太陽光500時間照射後の光劣化率*
実施例3	1
比較例3-2	2.5

*擬似太陽光500時間照射後の光劣化率は実施例3の値を1に規格化した値

【0077】

【発明の効果】以上のように、シリコン系薄膜を、1ppm以上のリン原子を含有し、エックス線又は電子線回折による(220)の回折強度の割合が全回折強度の30%以上となるように形成することで、シリコン薄膜中の結晶粒界が不活性化される。さらに、導電性基板上に、異なった極性を持つ複数のシリコン系半導体層を順次積層した光起電力素子を、前記複数のシリコン系半導体層のうちの少なくとも一つのシリコン系半導体層(特にi型半導体層)が前記シリコン系薄膜を含むように形成することで、優れた光電変換効率を有する光起電力素子が得られる。

【図面の簡単な説明】

【図1】本発明の光起電力素子の一例を示す模式的な断面図。

【図2】本発明のシリコン系薄膜及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図。

【図3】本発明のシリコン系薄膜を有する光起電力素子の一例を示す模式的な断面図。

【図4】本発明のシリコン系薄膜を有する光起電力素子の一例を示す模式的な断面図。

【図5】比較例の光起電力素子を示す模式的な断面図。

【符号の説明】

101 導電性基板

101-1 基体

101-2 金属層

101-3 透明導電層

102 半導体層

102-1 アモルファスn型半導体層

102-2 微結晶i型半導体層

102-3 微結晶p型半導体層

102-4 アモルファスn型半導体層

102-5 アモルファスi型半導体層

102-6 微結晶p型半導体層

102-7 アモルファスi型半導体層

103 透明電極

104 集電電極

201 堆積膜形成装置

202 基板送り出し容器

203 基板巻き取り容器

204 導電性基板

211~218 半導体形成用真空容器

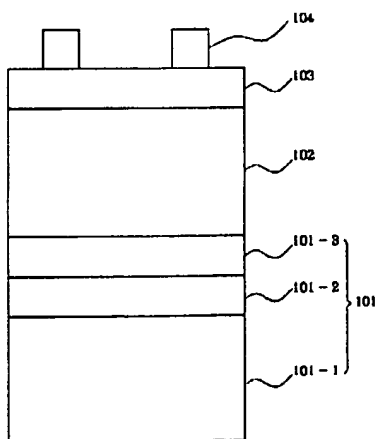
221~229 ガスゲート

231~238 ガス導入管

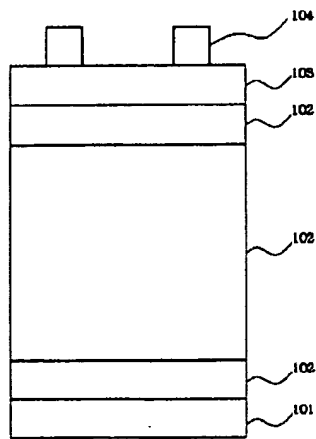
241~248 放電電極

251~258 高周波電源

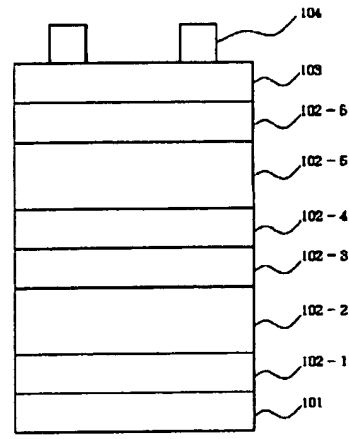
【図1】



【図3】



【図4】



A cross-sectional view of a semiconductor device. It shows a stack of layers labeled 101, 102-1, 102-7, 102-8, 102-4, 102-5, and 102-6 from bottom to top. Layer 101 is the base. Above it are seven layers of varying thicknesses. On top of the stack, there are two rectangular protruding structures labeled 104. The top surface of the stack is labeled 103.